

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

CONTROLLER

Patent Number: JP1152554
Publication date: 1989-06-15
Inventor(s): SUZUKI AKIRA
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP1152554
Application Number: JP19870311584 19871209
Priority Number(s):
IPC Classification: G06F13/10
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent a trouble due to various errors in software and to correspond to a processing program for a low-order central processing part by automatically adjusting the interval of the access command of a high-ordered central processing part by hardware.

CONSTITUTION: The cycle interval of the access command sent from a CPU 10 to an input and output device is measured at a measuring part 14a, and when the measured cycle interval is equal to the set value of a reference interval setting part 14b or shorter, an I/O command start delaying part 15b makes the interval longer through a delay command part 15a according to the set value of a delay time setting part 15c. Thus, it becomes possible to correspond the high-ordered CPU to the processing program before it is high-ordered, the input and output device can be controlled, and the trouble due to an adjusting error/omission, a changing error, etc., in the case of executing an adjustment by the processing of the software, can be prevented.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-152554

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)6月15日

G 06 F 13/10

3 1 0

B-7737-5B

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 制御装置

⑮ 特 願 昭62-311584

⑯ 出 願 昭62(1987)12月9日

⑰ 発 明 者 鈴 木 晃 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

制御装置

2. 特許請求の範囲

シリーズ内で上位化された中央処理部(10)と、
上位化される以前の処理プログラムが記憶され
た記憶手段(11)とを備え、

接続された少なくとも1個の入出力装置を該記
憶手段(11)に記憶された処理プログラムに基づいて
中央処理部(10)によって制御して起動させる制御
装置であって、

前記中央処理部(10)から該入出力装置へ送られ
るアクセスコマンドのサイクル間隔を測定する時
間計数手段(14)と、

該時間計数手段(14)による計数時間が第1の所
定時間以下の時に、継続する該アクセスコマンド
の開始を第2の所定時間だけ遅延させる遅延手段
(15)とを備えることを特徴とする制御装置。

3. 発明の詳細な説明

(概要)

上位化された中央処理部のアクセスコマンドの
間隔をハードウェアによって調整することができ
る制御装置に関し、

アクセスコマンドの間隔を自動的に伸ばすこと
により、上位化された中央処理部が下位の中央処
理部用の処理プログラムに対応することができる
制御装置を提供することを目的とし、

シリーズ内で上位化された中央処理部と、上位
化される以前の処理プログラムが記憶された記憶
手段とを備え、接続された少なくとも1個の入出
力装置を、記憶手段に記憶された処理プログラム
に基づいて、中央処理部によって制御して起動さ
せる制御装置であって、中央処理部から入出力装
置へ送られるアクセスコマンドのサイクル間隔を測
定する時間計数手段と、時間計数手段による計数
時間が第1の所定時間以下の時に、継続するアク
セスコマンドの開始を第2の所定時間だけ遅延さ
せる遅延手段とを備える構成とする。

(産業上の利用分野)

本発明は接続された入出力装置を制御する制御装置に係り、特に上位化された中央処理部のアクセスコマンドの間隔をハードウェアによって調整することができる制御装置に関するものである。

プリンタや表示装置等の入出力装置を接続してそれらの駆動を制御する制御装置では、中央処理部(以下CPUという)をシリーズ内で上位化して機能向上を図る場合に、ソフトウェアの互換性から、下位CPU用として開発されたソフトウェアが実行可能であることが必要であり、このためのCPUの実行速度の調整方法が望まれている。

(従来技術)

第5図に示すように、制御装置1aに複数の入出力装置(以下I/Oという)2a, 2b, ……(例えばプリンタ及び表示装置等)が接続されている。

制御装置1は、CPU10a、制御装置1及び接続される各種I/Oの処理プログラム等が格納されたプログラムメモリ11a、及びコマンド発生部12を

備えている。

従って制御装置1aは、プログラムメモリ11aの処理プログラムに基づいてCPU10aによって各I/O2a, 2b, ……に対応する処理プログラムを起動させて、コマンド発生部12からコマンドを発信して夫々のI/O2a, 2b, ……を制御する。

第6図(a)及び(b)にCPU10aのI/Oアクセスの例を示しており、第6図(a)のCPU10a内部キューのコマンドの実行順序に従って、第6図(b)の各I/Oアクセスの実行サイクルのタイミングチャートに示すアクセス間隔で指令される。ウェイト(wait)信号はI/O2a, 2b, ……のアクセス時間が遅いためにCPU10aをウェイトしている。

ここにおいて、CPU10aをシリーズ内で上位化して機能アップを図る場合に、シリーズ上位のCPUになる程高速動作するために、第7図(a)に示すように、バスアクセス/内部演算ユニットの並行処理が可能のために、CPUにウェイトがかかった時点で内部演算が実行されてしまい、アクセス間隔が短くなる。

このため上位CPUで下位CPUの同一ハードウェア/ソフトウェアで、処理の高速化、及び並行処理化を行うには、

①ハードウェアでの対応として、メモリ及び各I/Oは夫々にアクセス可能な速度の最小値が異なるため、CPUはメモリ及びI/Oからの応答を待ってアクセスを終了するレディ(Ready)回路によってCPU速度の速度差を吸収する。

②またソフトウェアでの対応として、シリーズ上位のCPUは内部でパイプライン処理等を行うため、ソフトウェアの実行タイミングがCPUによって変化し、ハードウェア動作に支障をきたすので、ソフトタイマー(プログラムループ或いはダミーステップ)の調整を行う。第7図(b)及び(c)に示すように、ダミーステップを追加してアクセス間隔を確保している。

という方法でタイミング調整を行っている。

(発明が解決しようとする問題点)

上記従来方法によれば、CPUを上位化して装

置の機能アップを図る場合に、タイミング調整として、ハードウェアとしての対応はレディ回路によって速度差を吸収し、またソフトウェアとしての対応はソフトタイマーの調整によっており、このソフトウェアによる対応はマクロなもので、プログラマーが意識できるものである。

しかしながら、従来ソフトタイミングを意識する必要がなかったI/Oアクセス、特にI/O制御用LSIのアクセスに対するソフトタイマーの調整が必要になってきた。これはCPUの実行速度がI/O制御用LSIの動作可能速度を上回ってしまうために生じるミクロなタイミング調整で、プログラマーが意識するのは難しく、またソフトウェアでこの調整を行った場合、処理が煩雑になり調整ミス/抜け、変更時の変更ミス、ソフトウェアのメンテナンスの難しさ等による原因不明障害、間欠障害の原因となり易いので、これに対処する調整方法が要請されているという問題点がある。

本発明は、アクセスコマンドの間隔を自動的に伸ばすことにより、上位化されたCPUが下位の

CPU用の処理プログラムに対応することができ
る制御装置を提供することを目的としている。

(問題点を解決するための手段)

第1図は本発明の原理ブロック図である。

図において、10はシリーズ内で上位化されたCPU、

11は上位化される以前の処理プログラムが記憶された記憶手段、

14はCPU10から入出力装置へ送られるアクセスコマンドのサイクル間隔を計数する時間計数手段、

15は時間計数手段14による計数時間が第1の所定時間以下の時に、継続するアクセスコマンドの開始を第2の所定時間だけ遅延させる遅延手段である。

従って継続するアクセスコマンドは遅延手段15によって第2の所定時間だけ遅延調整されるように構成されている。

デコード13は、CPU10bから送られる実行サイクル開始信号、メモリーI/O識別信号等から実行サイクル開始信号をデコードする。

サイクル間隔測定部14aは、タイマー機能を備え、CPU10bからI/O2a,2b,...へ送られるアクセスコマンドのサイクル間隔を時間計数し、計数時間が基準間隔設定部14bに設定された基準時間 T_0 に満たない($t < T_0$)時は、検出信号aを発信する。

基準間隔設定部14bは、I/Oサイクル間隔の許容最小時間として基準時間 T_0 が設定されている。

遅延指令部15aは、サイクル間隔測定部14aから発信された検出信号aに基づいて、遅延指令信号bと基準時間 T_0 をI/Oコマンド開始遅延部15b CPU10bへ通知する。

I/Oコマンド開始遅延部15bは、遅延指令部15aから送られた遅延指令信号^bによって、次のコマンドのタイミングを送らせるために、遅延時間設定部15cに設定された遅延時間 T_1 をコマンド発生部12aへ送ると共に、CPU10bへ通知する。

(作用)

CPU10から入出力装置へ送られるアクセスコマンドのサイクル間隔を時間計数手段14によって計数し、その計数時間が第1の所定時間以下の時に、遅延手段15によって継続するアクセスコマンドの開始を第2の所定時間だけ遅延させることにより、容易にアクセスコマンドのタイミング調整を行うことができ、上位化されたCPU10を上位化される以前の処理プログラムに対応させて入出力装置を制御することができるので、ソフトウェアの処置によって調整を行う場合の調整ミス/抜け、変更時の変更ミス、等による障害が防止できる。

(実施例)

以下本発明の一実施例を第2図～第4図を参照して説明する。全図を通じて同一符号は同一対象物を示す。第2図で第1図に対応するものは1点鎖線で囲んで示している。

第2図において、CPU10bは、シリーズ内で上位化、即ち、機能アップされている。

遅延時間設定部15cは、必要なI/Oアクセス間隔を確保するための遅延時間 T_1 (ここで $T_0 < T_1$)が設定されている。これは従来例の第7図(c)及び(c)で説明したダミーステップに相当する。

コマンド発生部12aは、従来例で説明したコマンド発生部12の機能に加えて、I/Oコマンド開始遅延部1⁵bから送られた遅延時間 T_1 だけ次のI/Oコマンドを送らせる。

このような構成及び機能を有するので、第3図のフローチャート及び第4図のタイミングチャートにより作用を説明する。

①まず、コマンド発生部12aで発生された実行サイクル開始信号がCPU10^bによってデコード13に送られ、I/Oアクセス開始信号がデコードされて、サイクル間隔測定部14aへ送られる。(第4図(a)～(c)参照)

②サイクル間隔測定部14aはサイクル間隔時間 t を時間計数し、基準時間 T_0 に満たない時は検出信号aを遅延指令部15aへ送る。(第4図(d)参照)

③基準時間 T_0 に達した時は、次のI/Oコマンド

はそのまま発生され、サイクル間隔測定部14aはリセットされる。

④遅延指令部15aは遅延指令信号bをI/Oコマンド開始遅延部15bへ通知する。(第4図(e)参照)

⑤I/Oコマンド開始遅延部15bは遅延時間 T_1 をコマンド発生部12aとCPU10bへ送る。(第4図(f)参照)

⑥コマンド発生部12aは次のI/Oコマンドの開始を遅延時間 T_1 だけ遅らせて発生し、CPU10bはI/Oコマンドの終了を遅延時間 T_1 だけ遅らせる。(第4図(g)参照)

このようにして、プログラムの変更なしに容易にアクセスコマンドのタイミング調整を行うことができ、上位化されたCPUを上位化される以前の処理プログラムに対応させて入出力装置を制御することができる。

従ってソフトウェアの処置によってミクロなタイミング調整を行う場合に発生し易い調整ミス、変更ミス、等による障害が防止でき、ソフトウェアの信頼性を高めることができる。

上記例では回路の簡略化のために無条件にI/Oサイクルの間隔を測定する場合を説明したが、同一I/Oに対するアクセスが連続する場合にだけ測定すればよいので、アドレス記憶回路を設けて、同一I/Oアクセスの連続の時だけ遅延させるようにすることにより、一層CPU効率を高めることができる。

(発明の効果)

以上説明したように本発明によれば、ハードウェアによって容易にアクセスコマンドのタイミング調整を行うことができるので、ソフトウェアの処置によってタイミング調整を行う場合に発生する調整ミス、変更ミス等による障害を防止することができ、ソフトウェアの信頼性を高めることができるという効果がある。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明による実施例を示すブロック図、

第3図は実施例のフローチャート、

第4図は実施例のタイミングチャート、

第5図は従来例を示すブロック図、

第6図は下位CPUによるI/Oアクセスの説明図、

第7図は従来例の説明図である。

図において、

10, 10a, 10bはCPU、 11は記憶手段、

11aは処理プログラムメモリ、

14は時間計数手段、

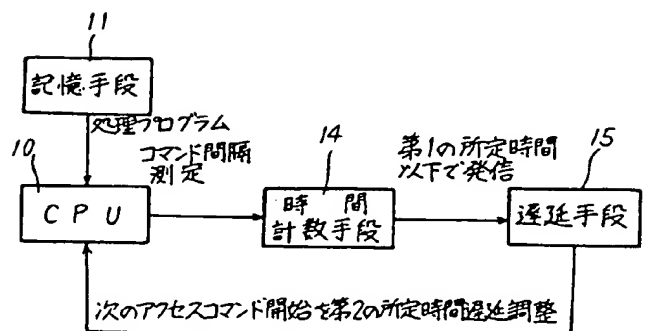
14aはサイクル間隔測定部、

14bは基準間隔設定部、15は遅延手段、

15aは遅延指令部、

15bはI/Oコマンド開始遅延部、

15cは遅延時間設定部を示す。

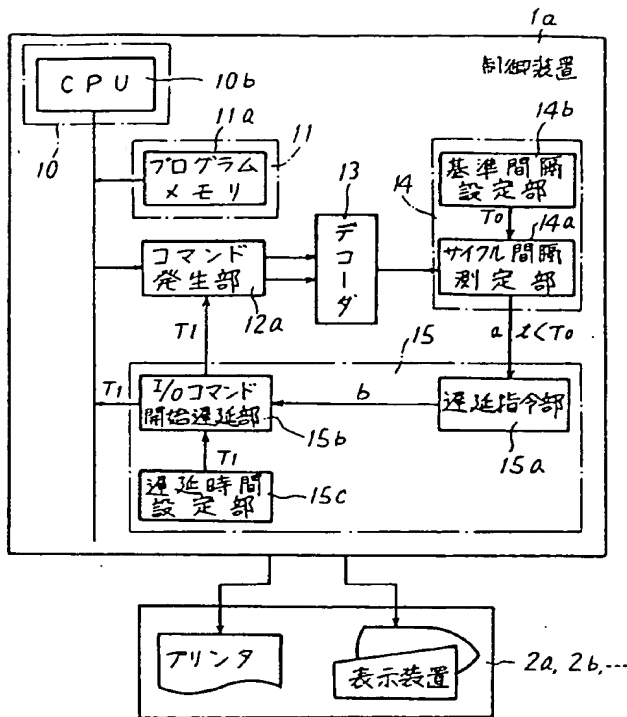


本発明の原理ブロック図

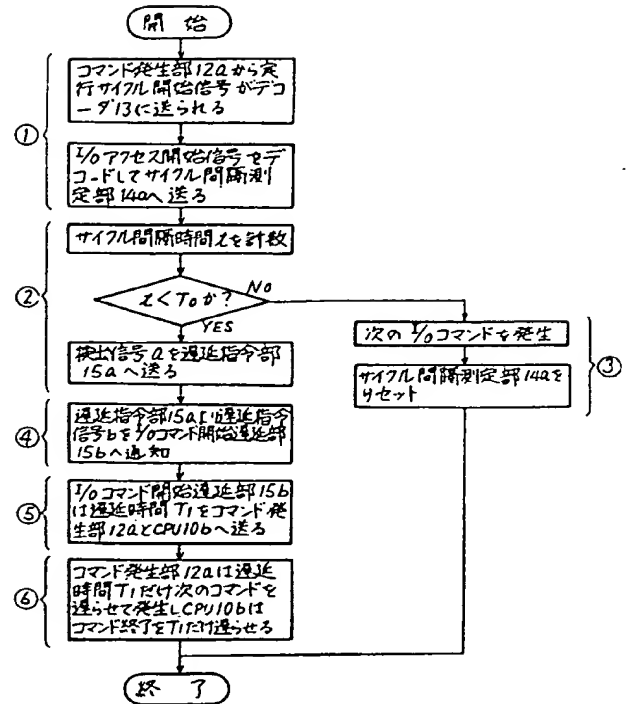
第1図

代理人 弁理士 井 桁 貞

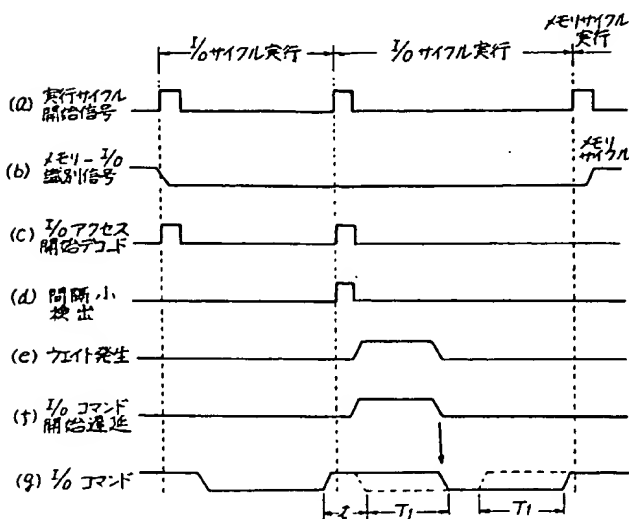




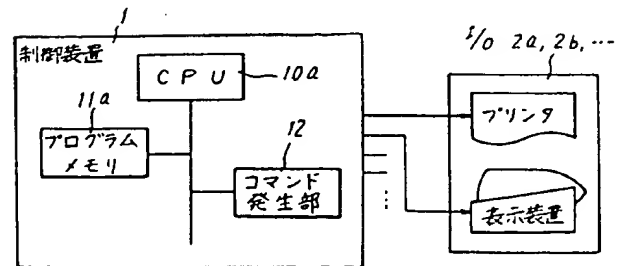
本発明の実施例を示すブロック図
第 2 図



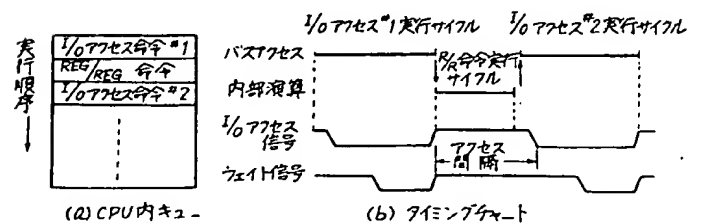
実施例のフローチャート
第 3 図



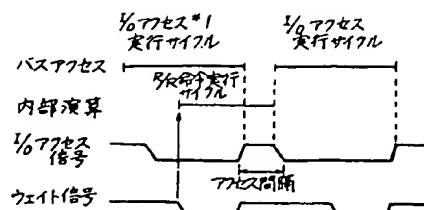
実施例のタイミングチャート
第 4 図



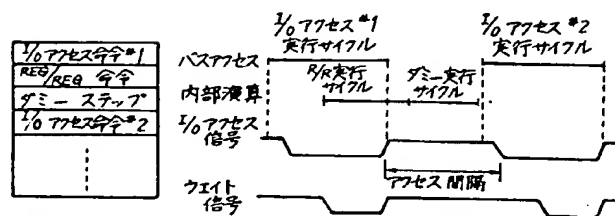
従来例を示すブロック図
第 5 図



下位CPUに1/0アクセスの説明図
第 6 図



(a) 上位CPUによるタイミングチャート



(b) CPU内キュー

(c) タイミングチャート

従来例の説明図
第7図